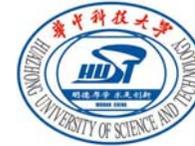


# Layout and Circuit Extraction

**Zou Zhige**



RESEARCH CENTER FOR VLSI AND SYSTEMS  
超大规模集成电路与系统研究中心

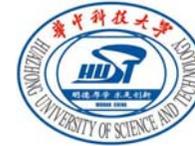


---

# Index

---

- 一. 关于版图与电路提取
- 二. 芯片物理层图形
- 三. 目前流行的IC结构及其版图特征
- 四. 版图分析技术
- 五. 电路整理与分析
- 六. 版图举例



# 一、关于版图与电路提取

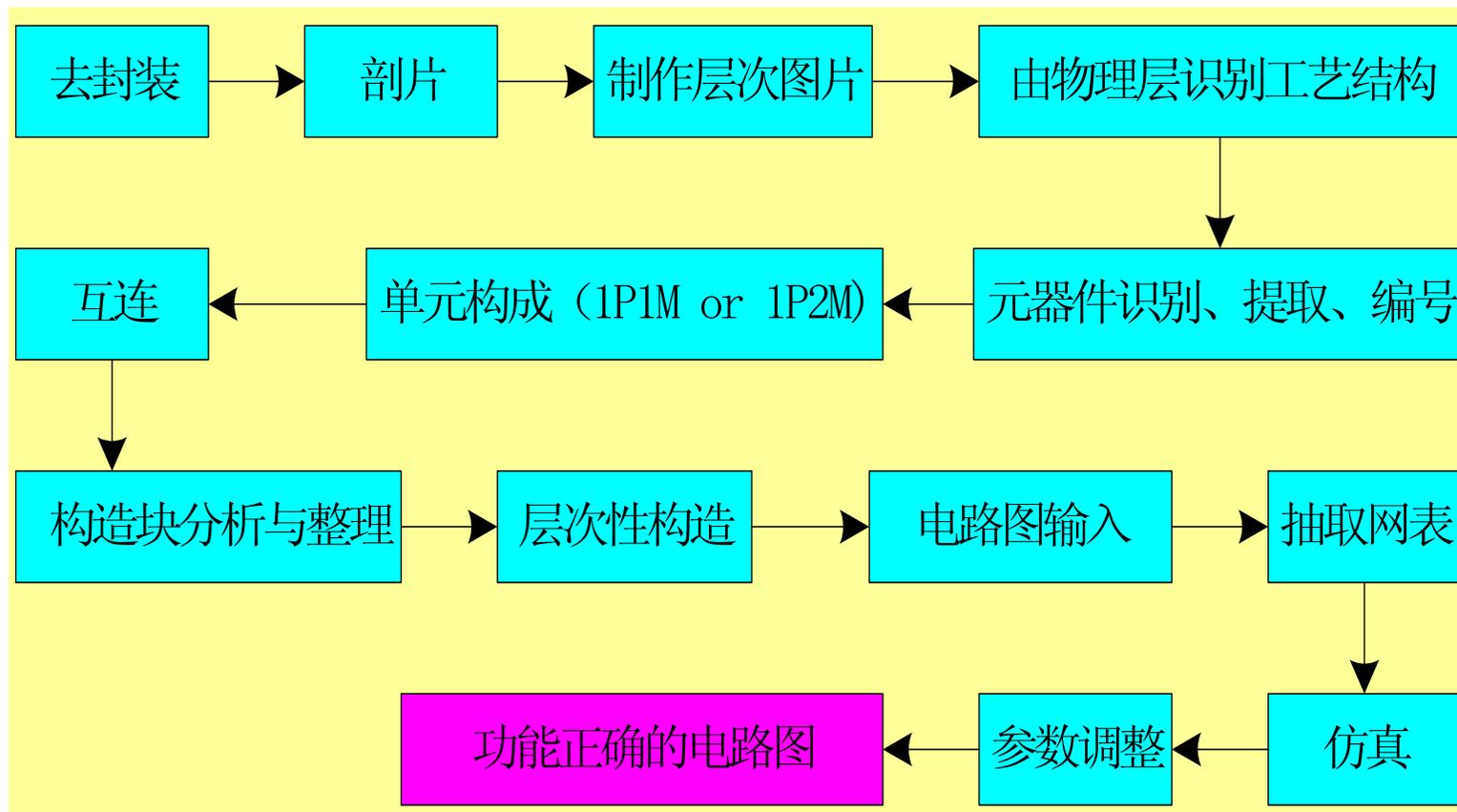
## 1、历史发展过程

从版图**COPY**到电路设计思索与版图设计技术研究，即从纯粹的抄袭到借鉴



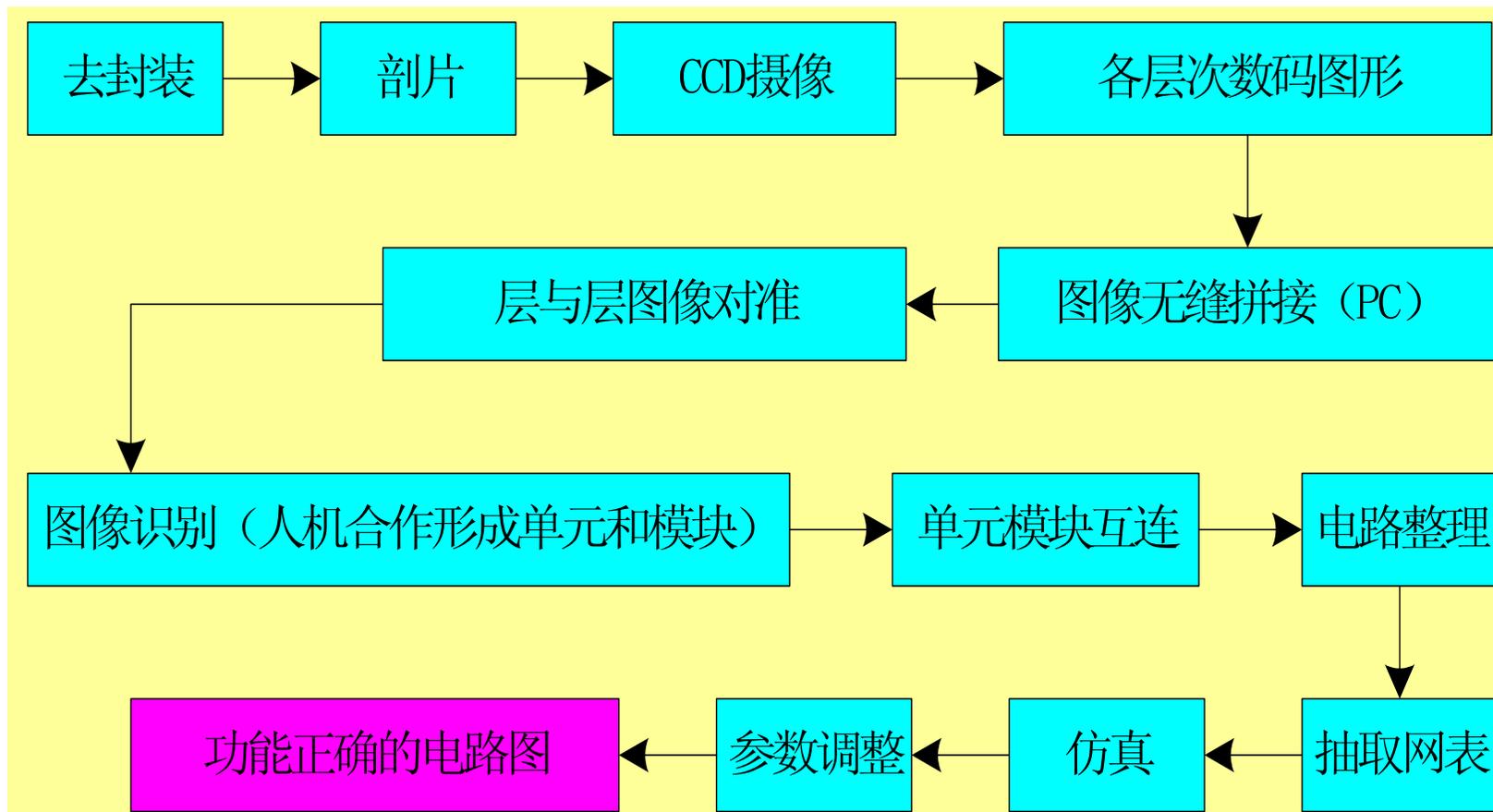
# 一、关于版图与电路提取

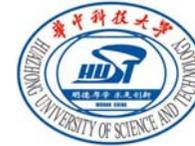
## 2、提取方式——人工提取



# 一、关于版图与电路提取

## 2、提取方式——CAD电路提取





---

## 二、芯片物理层图形

---

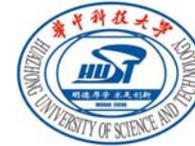
- 图片层次

N层金属+物理层（或+染色层）

物理层，包括完成器件制作所有层次，不可再分，如

双极电路：三极管、电阻都已形成 Si栅CMOS，

MOS器件电极，单层或多层多晶都已完成



## 二、芯片物理层图形

- 图形的产生

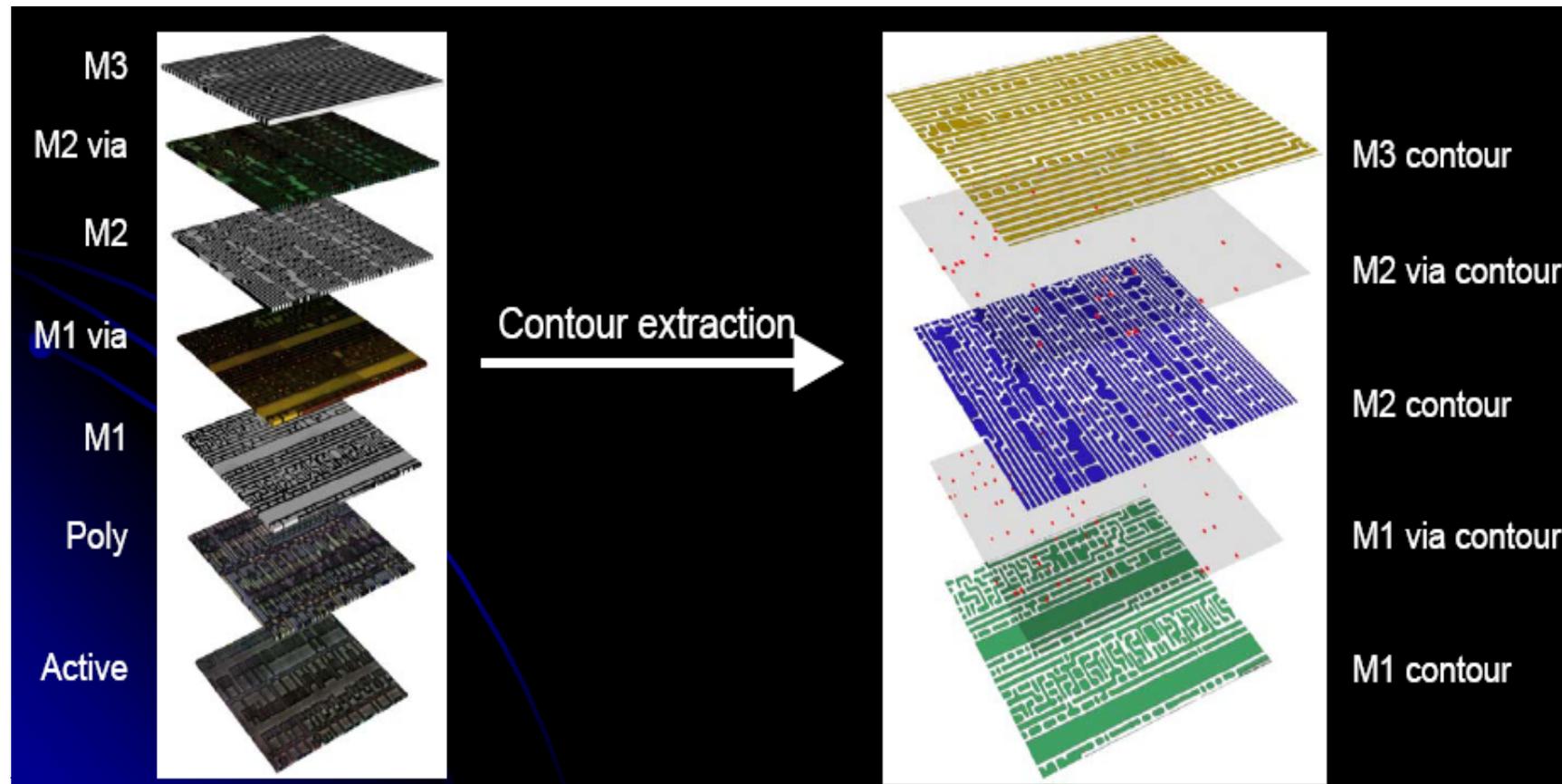
图形是每次氧化层刻蚀形成的图形痕迹，也就是说图形出现的必要条件是加工过程中存在对该图形的氧化刻蚀过程。（染色除外）

不是所有的图形在物理层上都能体现出来。如利用光刻胶进行掩蔽的注入区的图形就体现不出来（码点）。另外，通过表面平整化处理的情况，有些图形被磨去（如埋层、阱区）

对于看得见的图形，除染色办法外，最多的判别方法是推理和分析。

## 二.芯片物理层图形

- 芯片的物理结构(contour=轮廓)

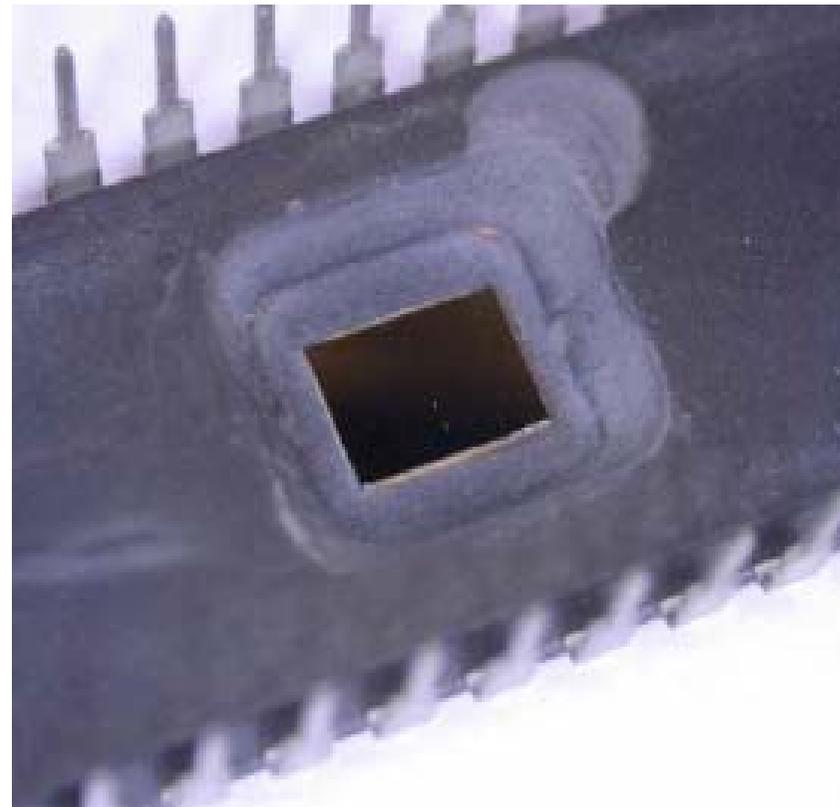


## 二.芯片物理层图形

- 获取过程:



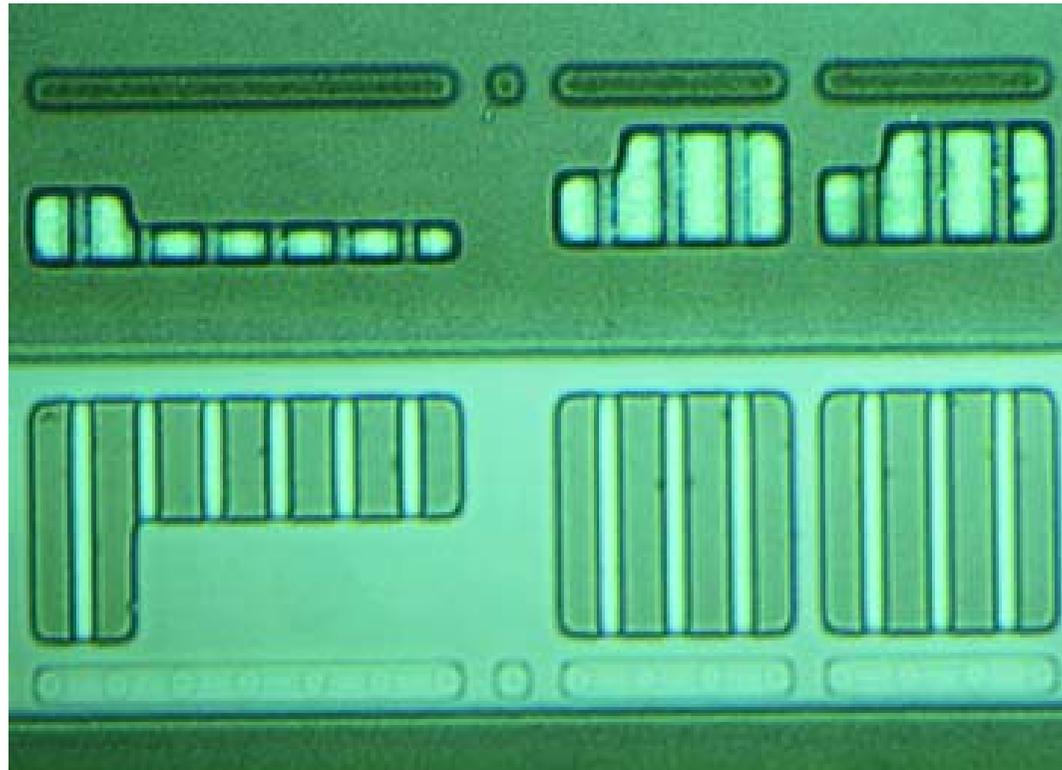
## 二.芯片物理层图形

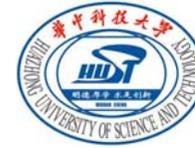


## 二.芯片物理层图形



# 典型CMOS电路染色层照片





## 二、芯片物理层图形

### •图形的特征

#### 色彩

金属：反光很强，一般为亮色

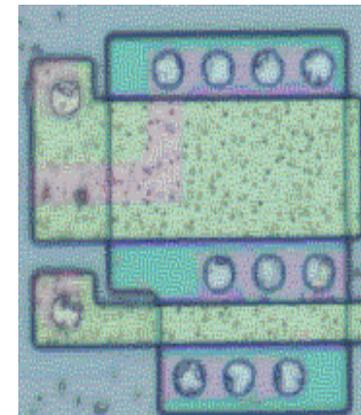
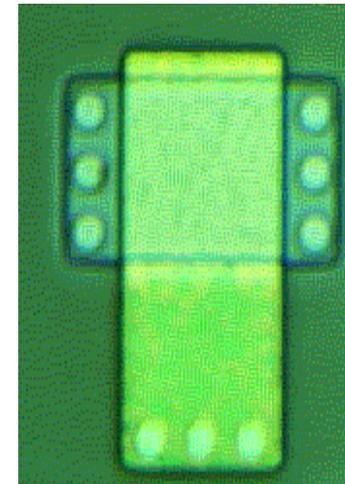
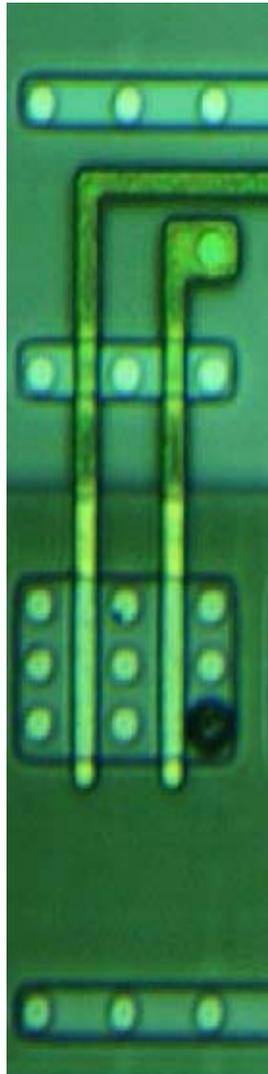
接触孔：一般为暗色

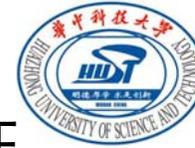
有源区和**Poly Si**：颜色多变，随表面绝缘层厚度和聚焦情况而变，完全去掉氧化层后的有源区一般为灰白色

#### 表面情况

**Poly Si**颗粒大，图形表象粗糙

# 典型的MOS管图形



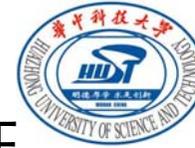


---

### 三、目前流行的IC结构及其版图特征

---

- 目前流行最广泛的是**Si**栅**CMOS**电路，主要是通信方面的电路。
- 另一类是双极电路，用于高速、高压或强驱动方面。
- 第三类是**BiCMOS**，用于一些高要求的地方，比如电压控制、光纤发送接收放大器、电平转换等。



### 三、目前流行的IC结构及其版图特征

- **Si栅CMOS结构**

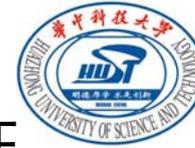
(一般采用**P-Sub, N-Well**结构)

工艺尺寸: **1 $\mu$ ~0.18 $\mu$ m,**

金属: 单层~**5、6**层

**Poly:** 单层~**2**层

这些**CMOS**结构中一般可以兼容纵向**PNP**晶体管,  
用作带隙参考的二极管结构。



### 三、目前流行的IC结构及其版图特征

硅栅CMOS的器件:

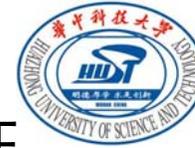
**NMOS**——制作在**P-Sub**上, **P-Sub**接**Vss**

**PMOS**——制作在**N-Well**上, **N-Well**接**Vdd**

**PNP管**——**C: P-Sub**, **E: P型有源区**, **B: N-Well**

电阻——**Poly**电阻一般指高**Poly**电阻(几十欧到上百欧), **P**  
有源区电阻, **N**阱电阻

电容——**Poly-Poly**, **Poly-n<sup>+</sup>**, **Sandwich**



---

### 三、目前流行的IC结构及其版图特征

---

- 标准Bipolar结构

基本构造：PN结隔离，介质（SiO<sub>2</sub>）隔离

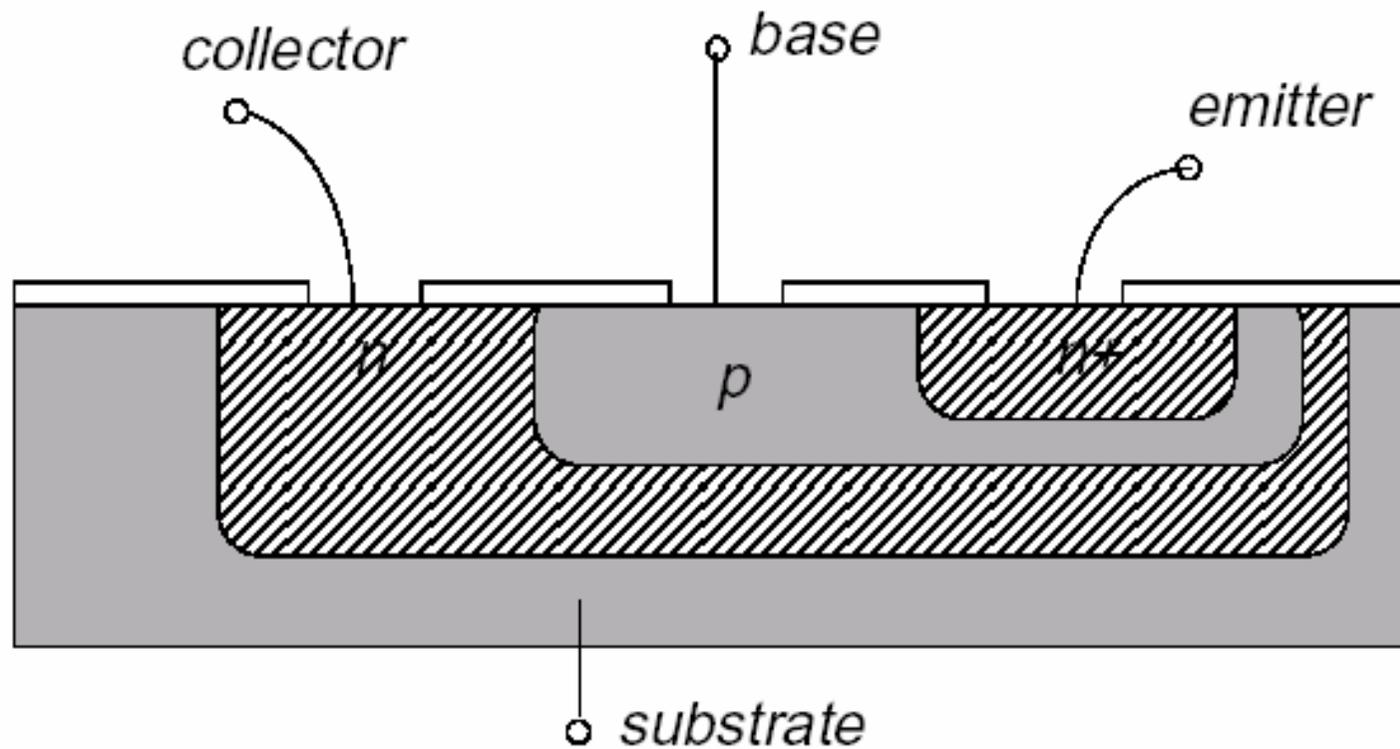
PN结隔离：P衬底，N外延，P隔离槽

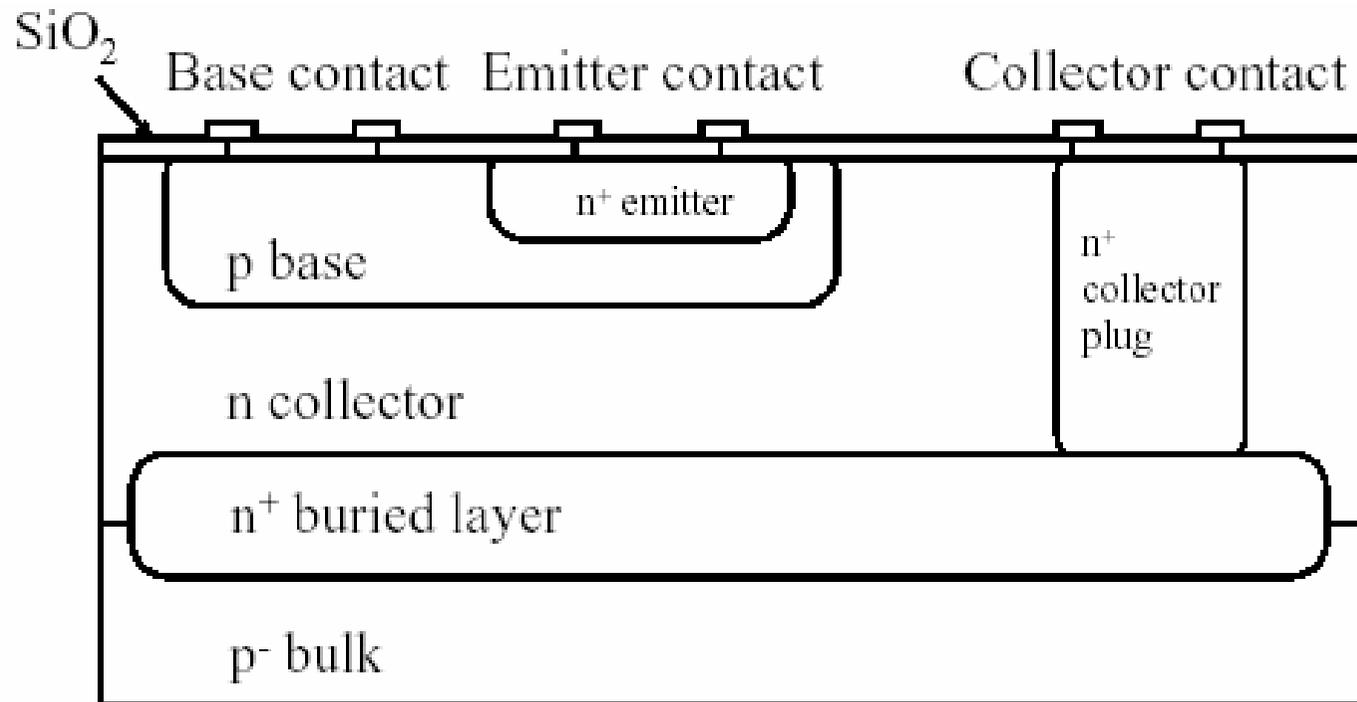
晶体管：NPN作于N岛上

PNP横向和纵向的

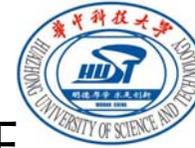
电阻：主要是P区电阻

# 标准Bipolar结构





增加埋层可以大幅降低集电极电阻



### 三、目前流行的IC结构及其版图特征

- **BiCMOS结构**

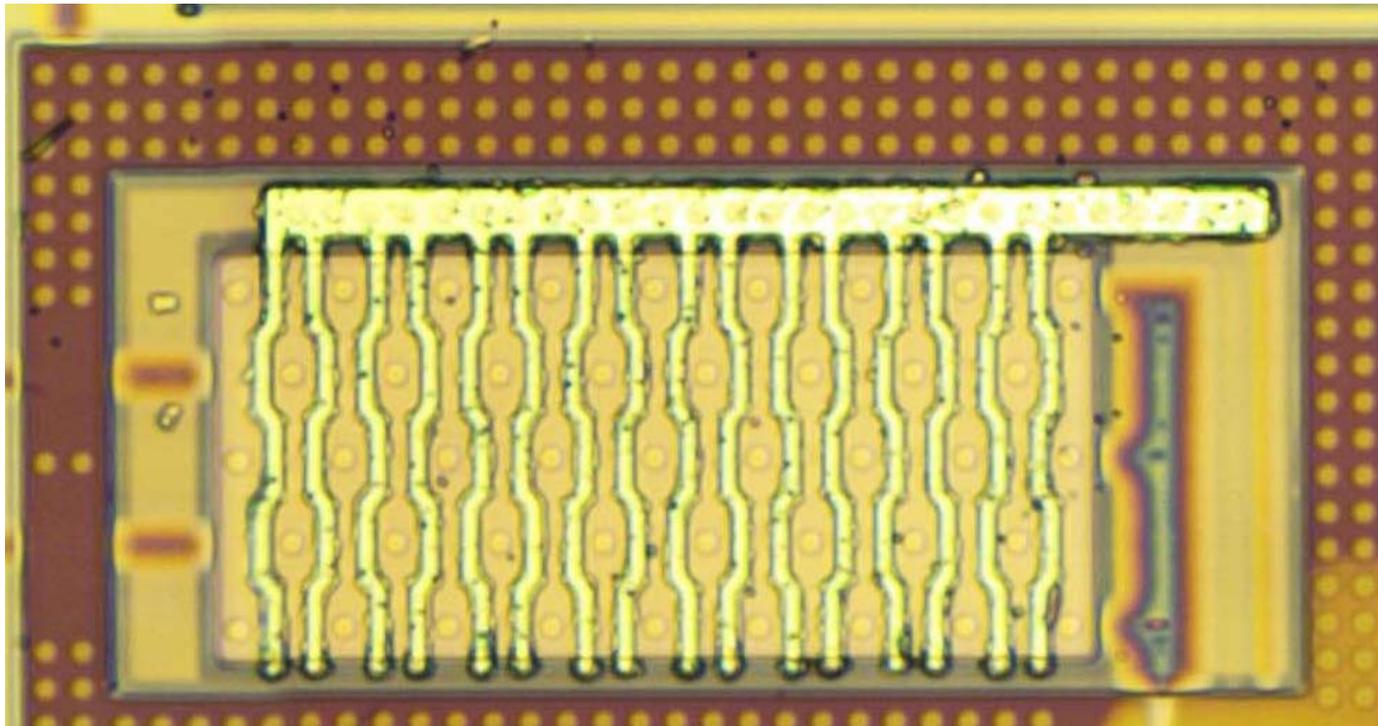
与标准CMOS相比，增加一个低浓度P区，在N阱中形成NPN的基极，P+有源作基极引出，N+有源作NPN发射极

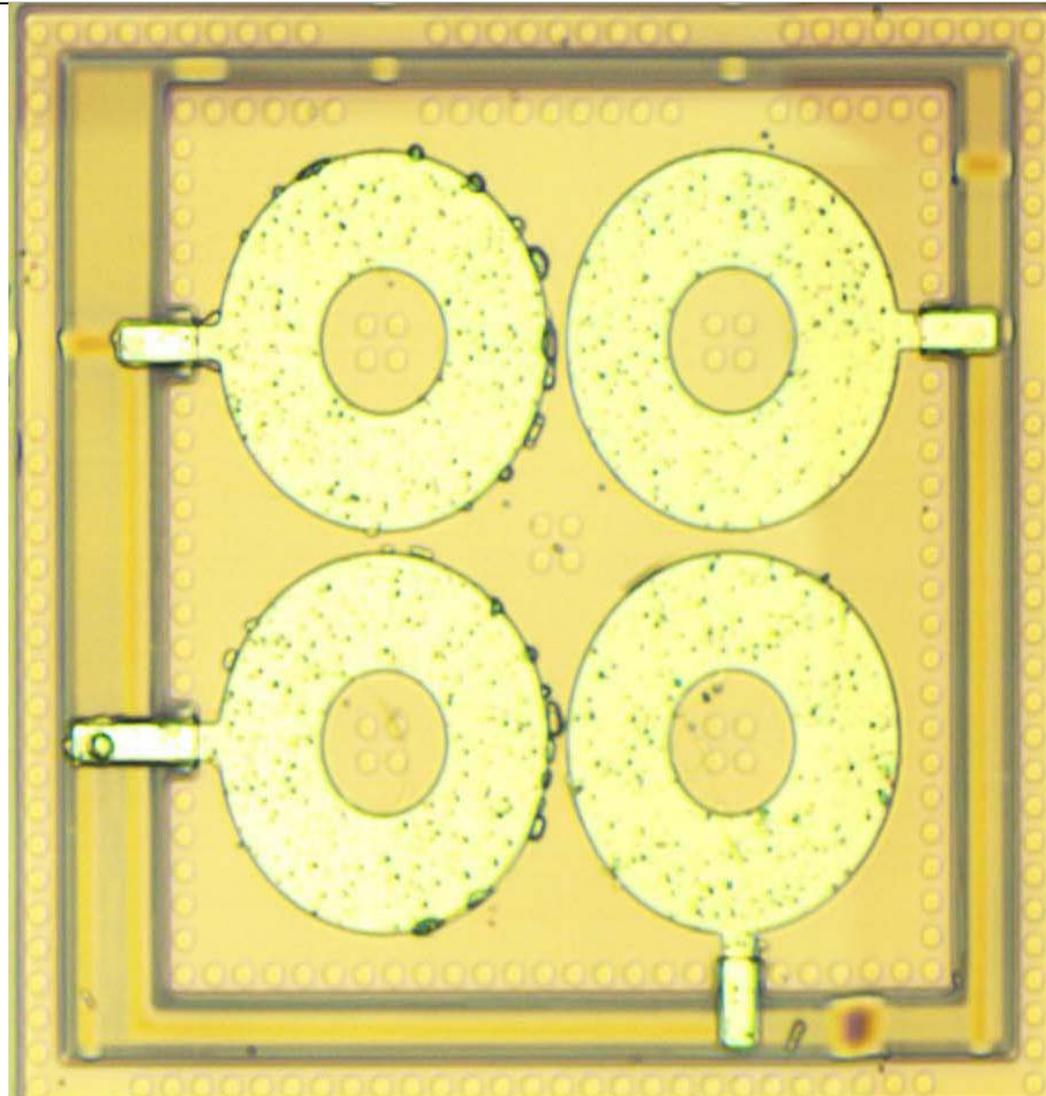
集电极扩展隔离，通过N+ plug深扩展，既构成集电极引出塞子，又形成隔离槽。

双阱双埋层结构

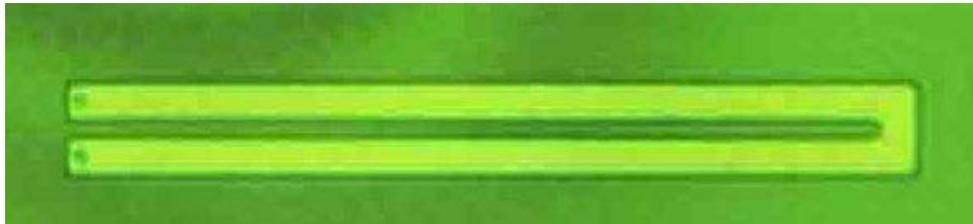
(上述三种机构图)

# 一些器件的照片实例





# 电阻



a. Poly-1电阻

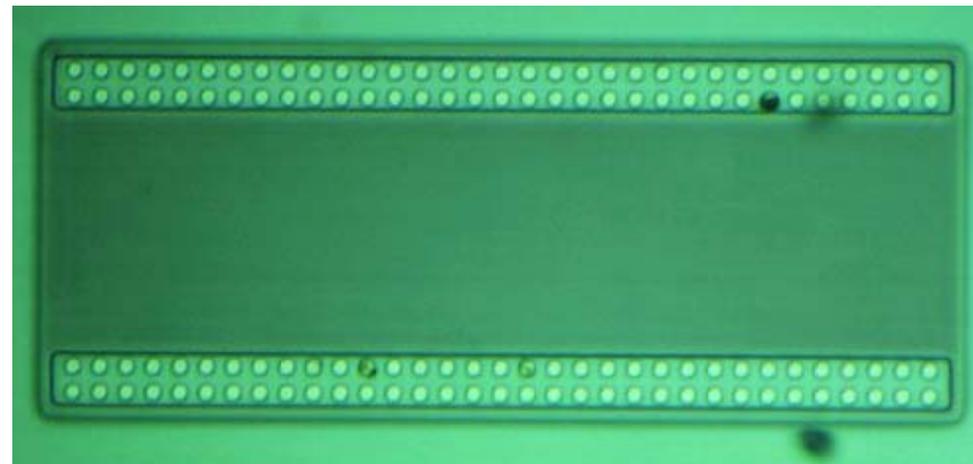
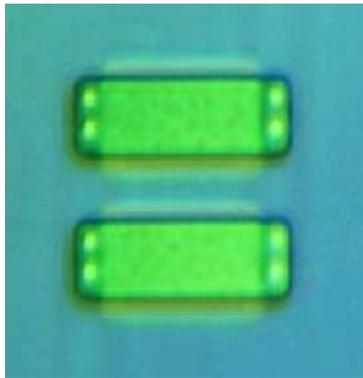


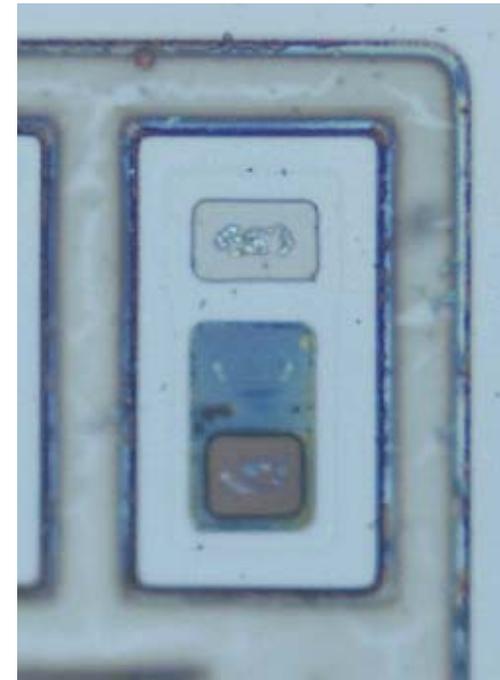
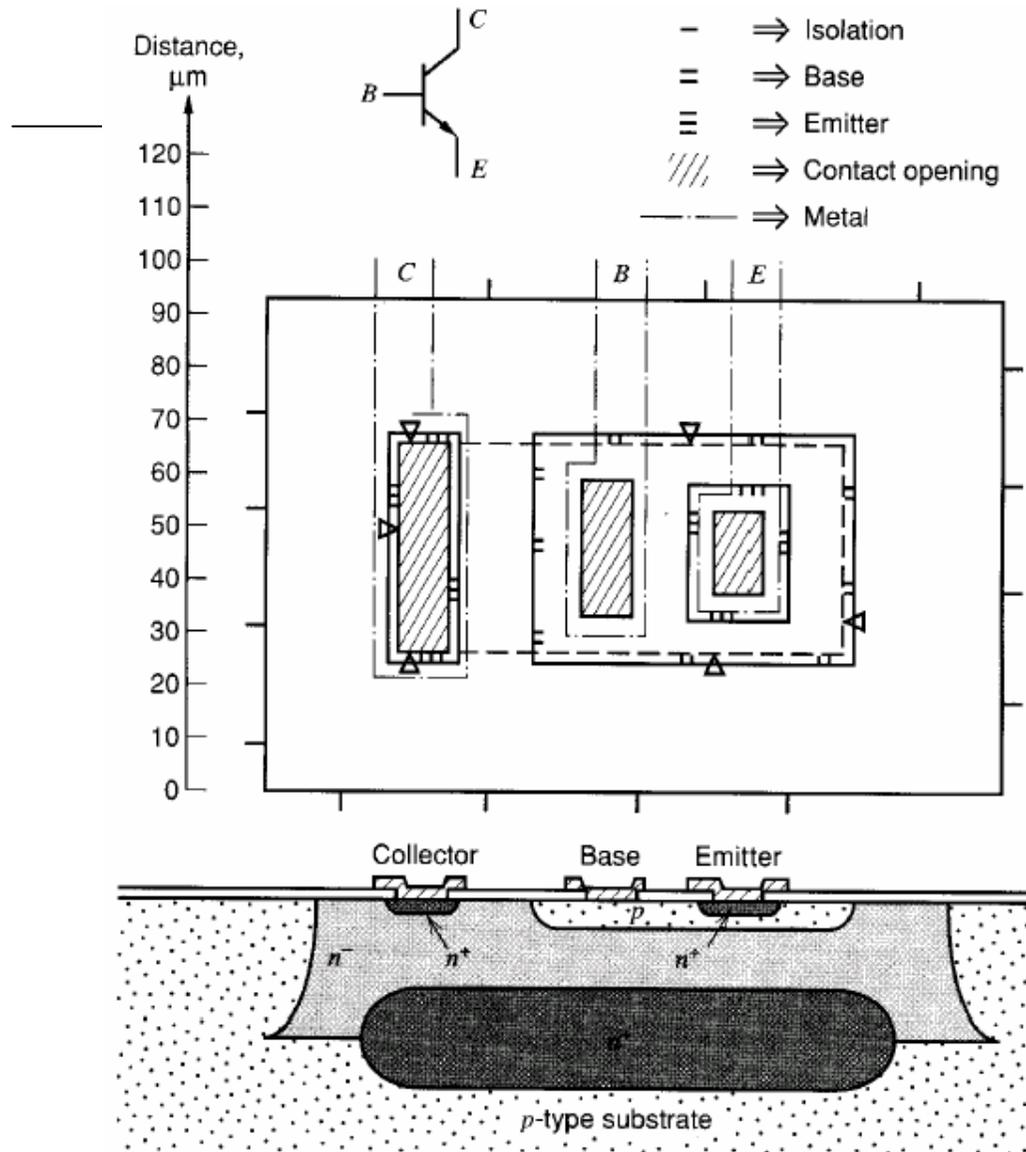
b. Poly-2电阻



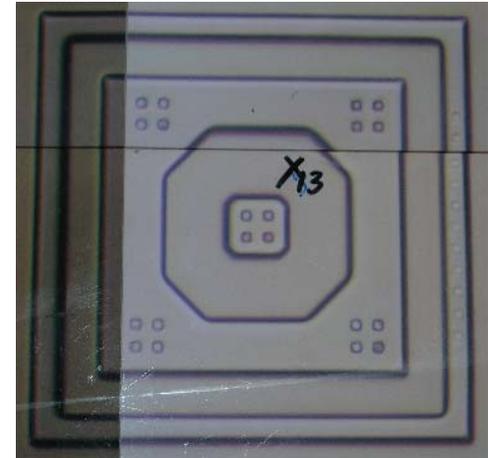
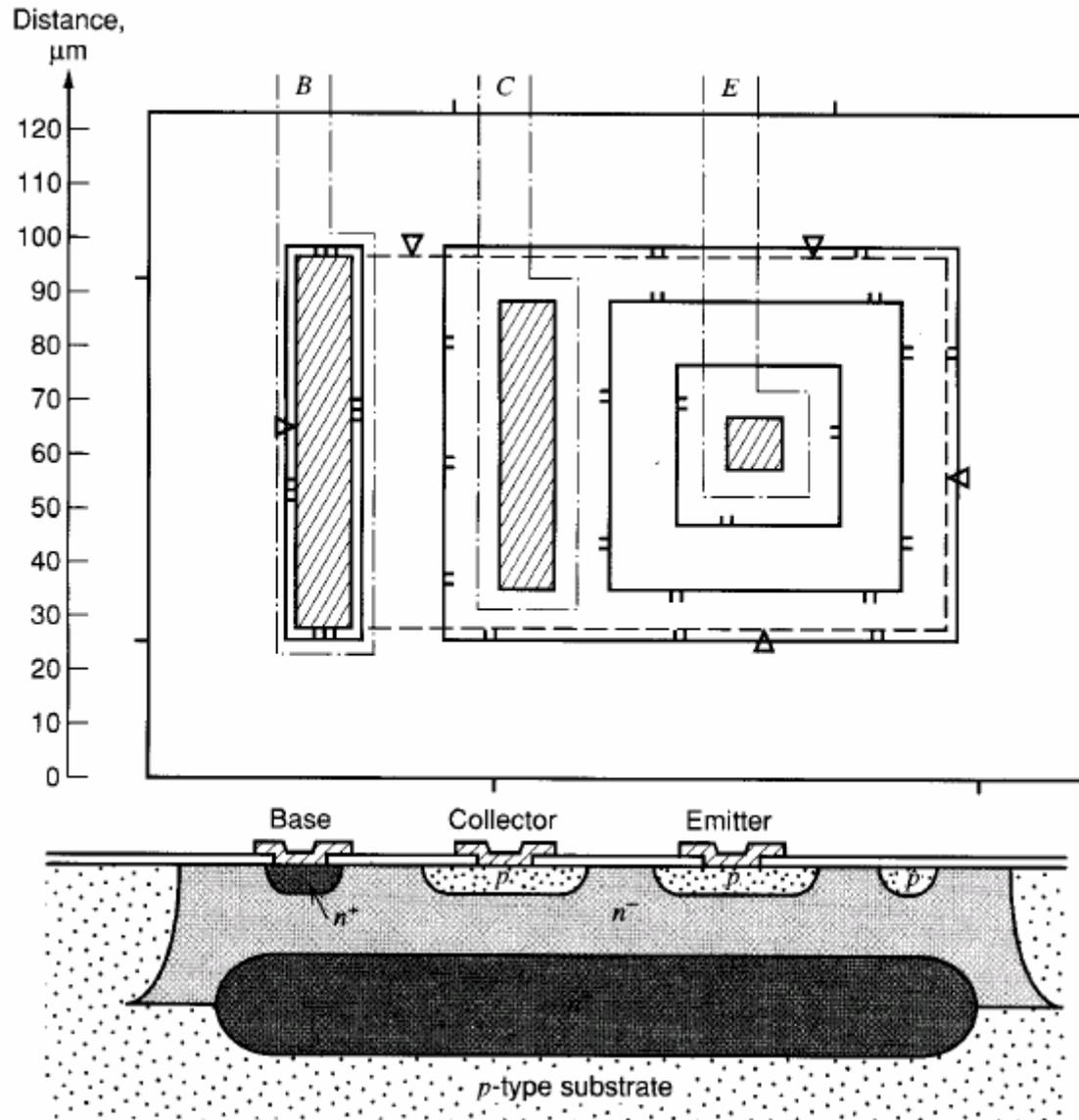
c. diff电阻

# 电阻2



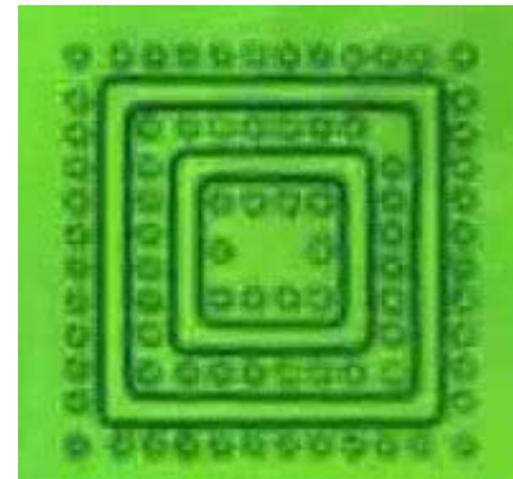
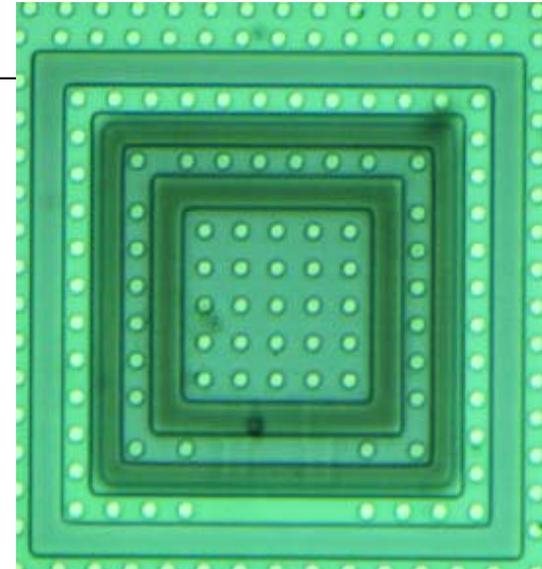
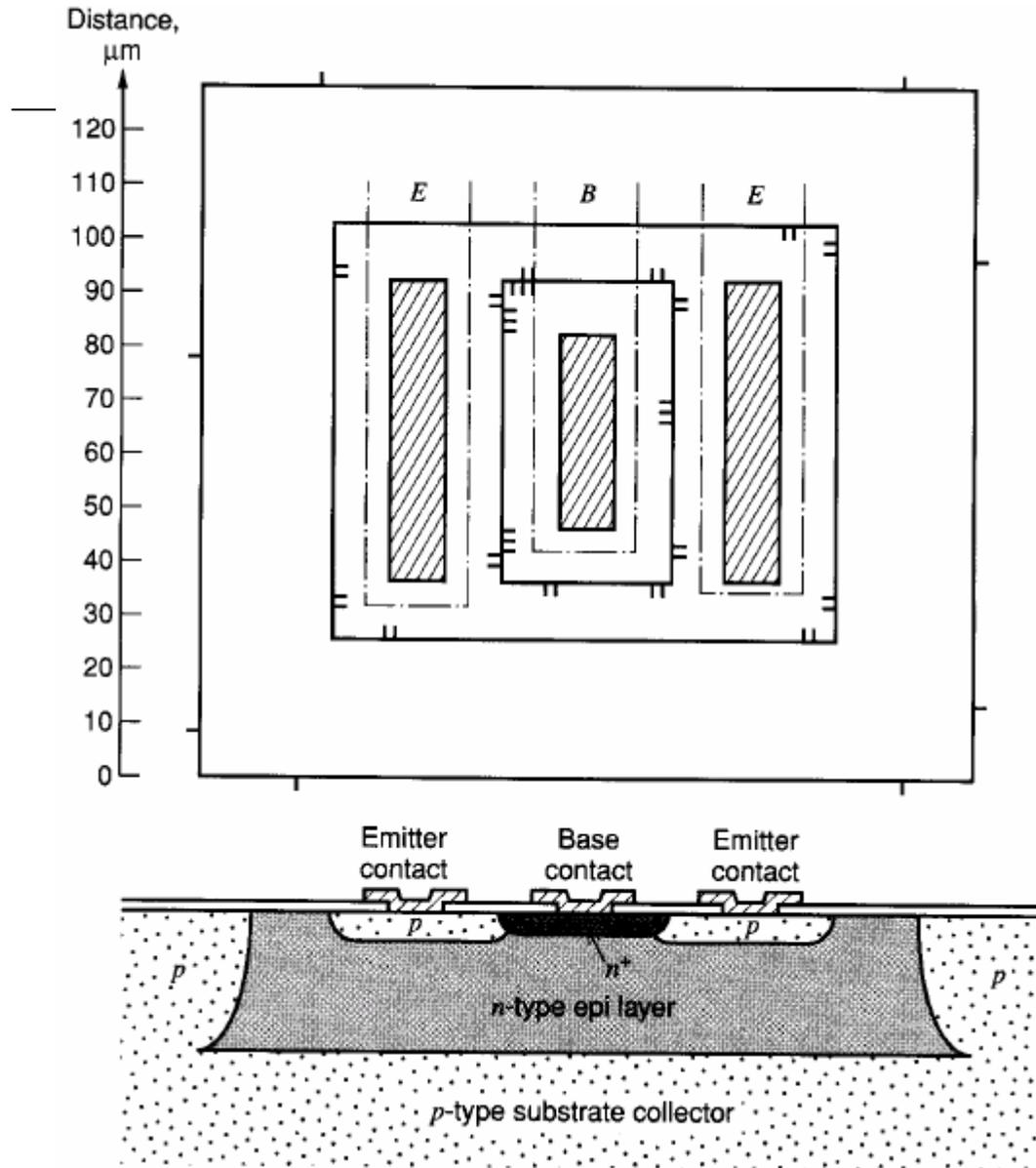


纵向NPN

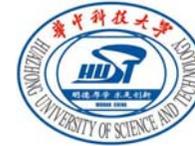


Lateral  $pnp$  structure

横向PNP



Substrate *pnp* structure

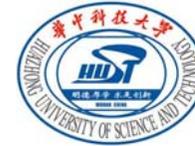


## 四、版图分析技术

- **N阱、P阱判断**

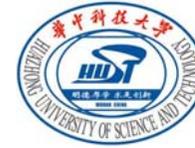
目前通用集成电路**CMOS**芯片几乎全采用**N阱**  
一般阱区在芯片上都为一块块封闭图形，所占面积  
小于非阱区。多晶电阻及布线大量分布在非阱区。

判别阱区**N**型和**P**型一个重要方法是看阱区电位：**N**  
阱——**Vdd**，**P**阱——**Vss**



## 四、版图分析技术

- **NMOS和PMOS判断**
  - 1、对于数字电路，**CMOS**中的**P管W/L大**，**N管W/L小**
  - 2、源极接**V<sub>dd</sub>**的一般为**PMOS**，接**V<sub>ss</sub>**的一般为**NMOS**
  - 3、模拟电路不完全服从以上规律。可结合电路结构来分析。如差分放大器尾电流接**V<sub>ss</sub>**，则差分对及尾电流**MOS**器件为**NMOS**，负载管则可以基本判定为**PMOS**



---

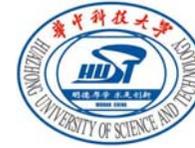
## 四、版图分析技术

---

- **PNP、NPN管的判断**

纵向管：除极特殊的情况外，**NPN**管的**C**极接向电源正极，**PNP**的**C**极接向电源负极

**NPN**管小尺寸管，**PNP**往往为大尺寸横向或纵向管。



---

## 五、模拟电路的整理与分析

---

- 模拟基本电路:

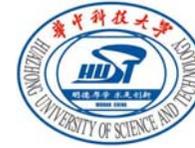
差分结构的放大器, 比较器, 缓冲器

电流镜、带隙参考源

开关电容积分器

振荡器, **PLL**基本结构

差分: 基本差分、**Cascode**, **Folded Cascode**,  
**CMFB**



---

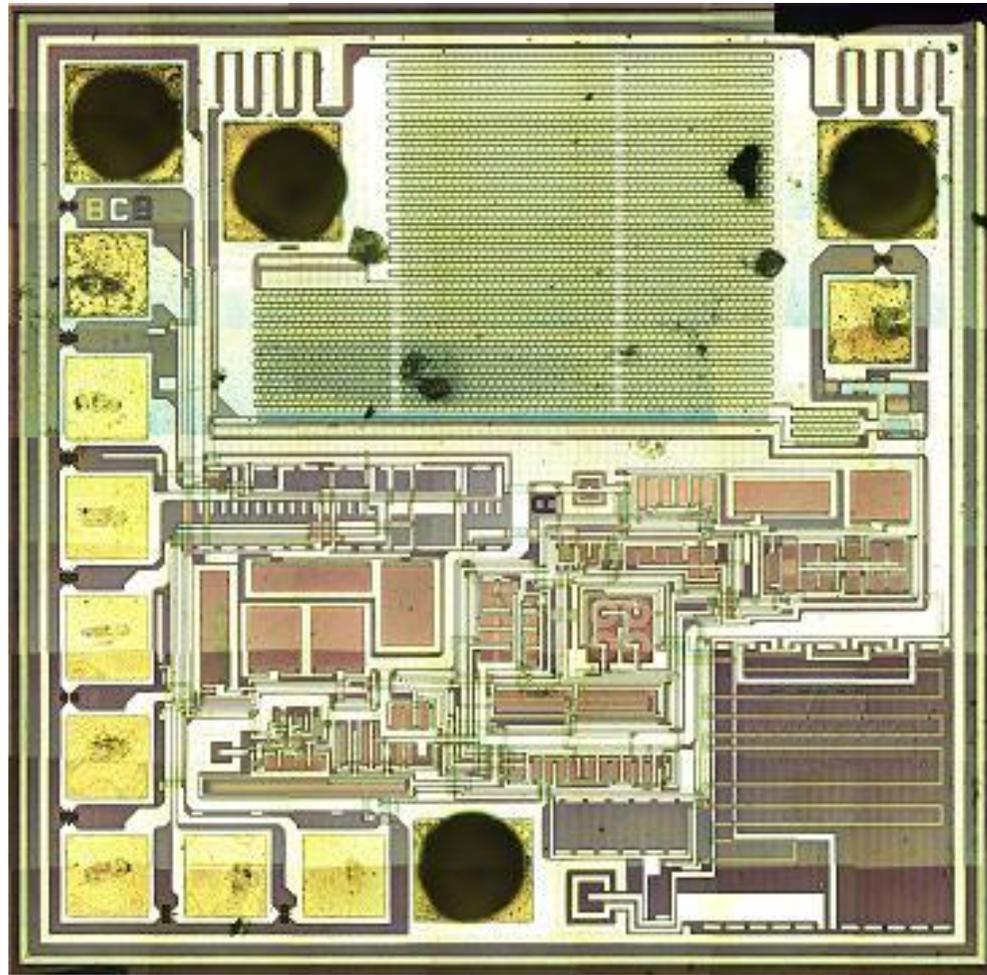
## 五、模拟电路的整理与分析

---

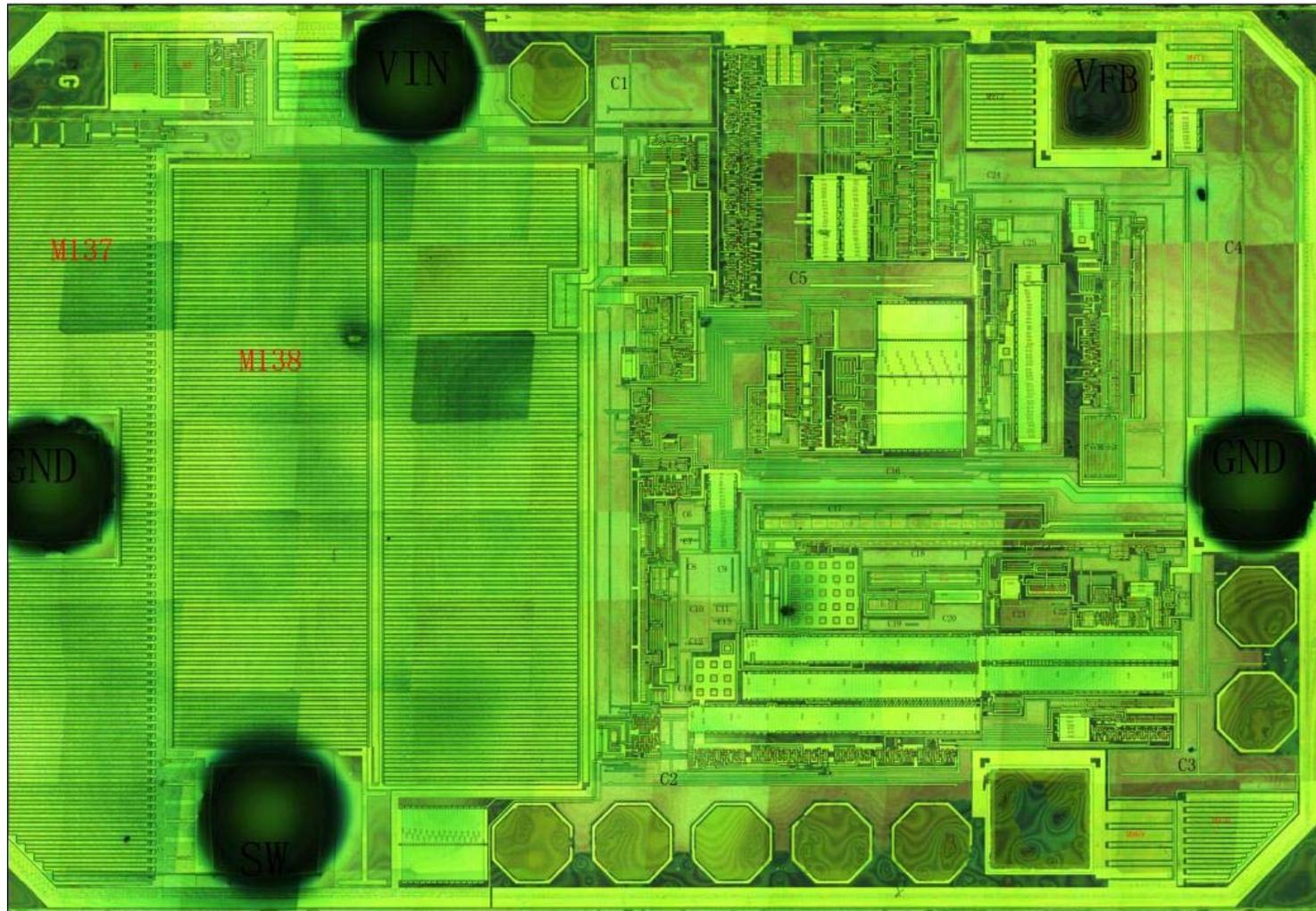
- 分析电路核心的技术——抽象出主体结构

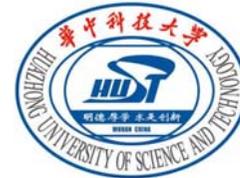
结合**datasheet**、基本电路知识来判断系统构架和各模块的功能

# 一个实际芯片例子



# 一个实际芯片例子





# 模拟集成电路反向设计流程

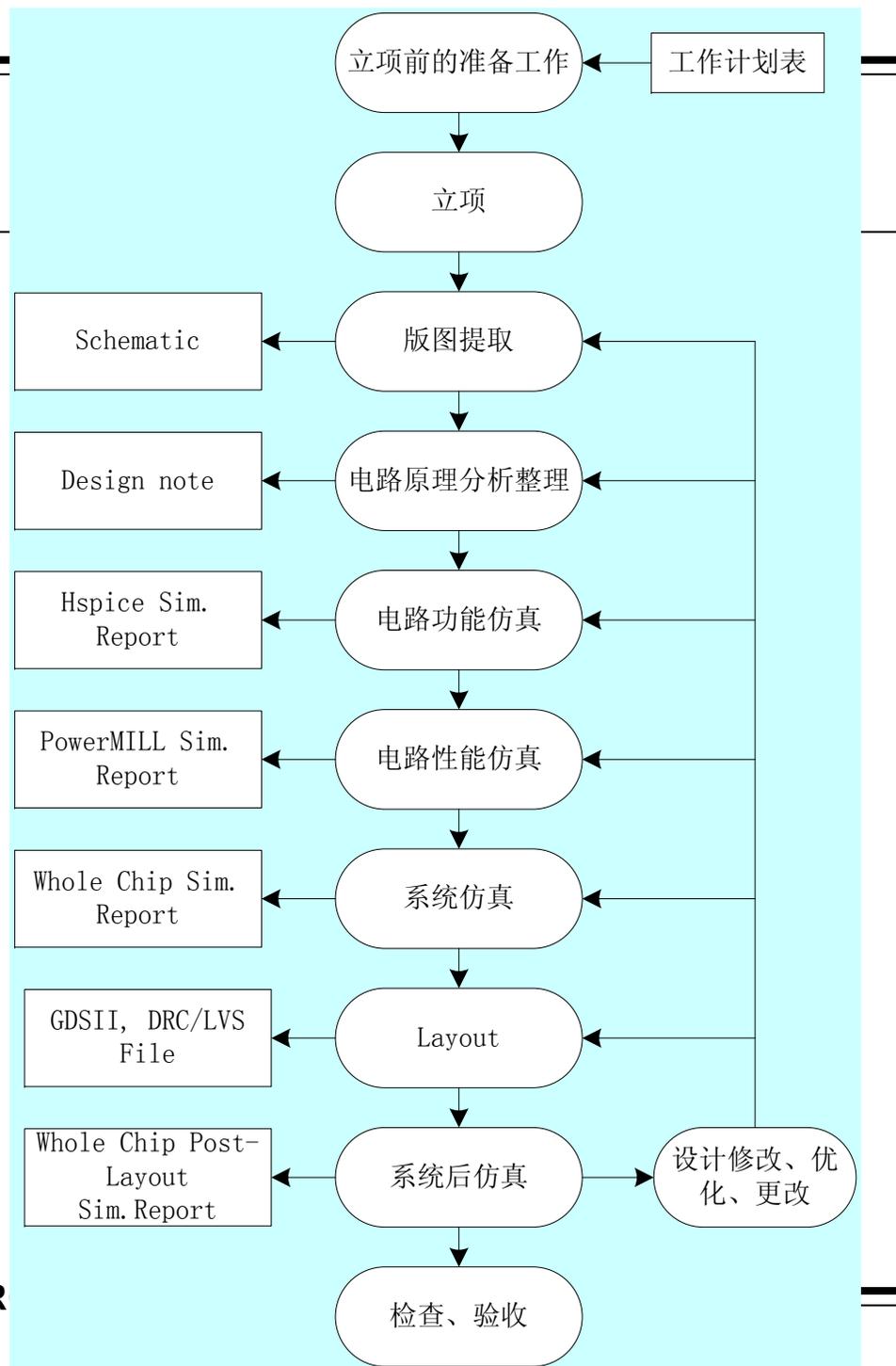
邹志革

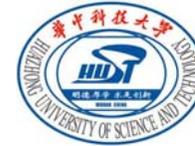
华中科技大学电子系



RESEARCH CENTER FOR VLSI AND SYSTEMS  
超大规模集成电路与系统研究中心

# 六、 模拟电路反向设计流程





---

## 版图提取和整理 (Reverse from Layout)

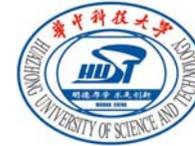
---

从照片提取电路,对照芯片 **datasheet** 进行电路分析及模块划分,进一步细化工作安排及计划.

**A:**项目组长负责照片上各**PAD**名称标示,模块划分命名和任务分配.

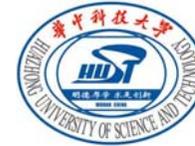
**B:**设计人员根据样品照片进行电路图提取.

注: **Hierarchy!**



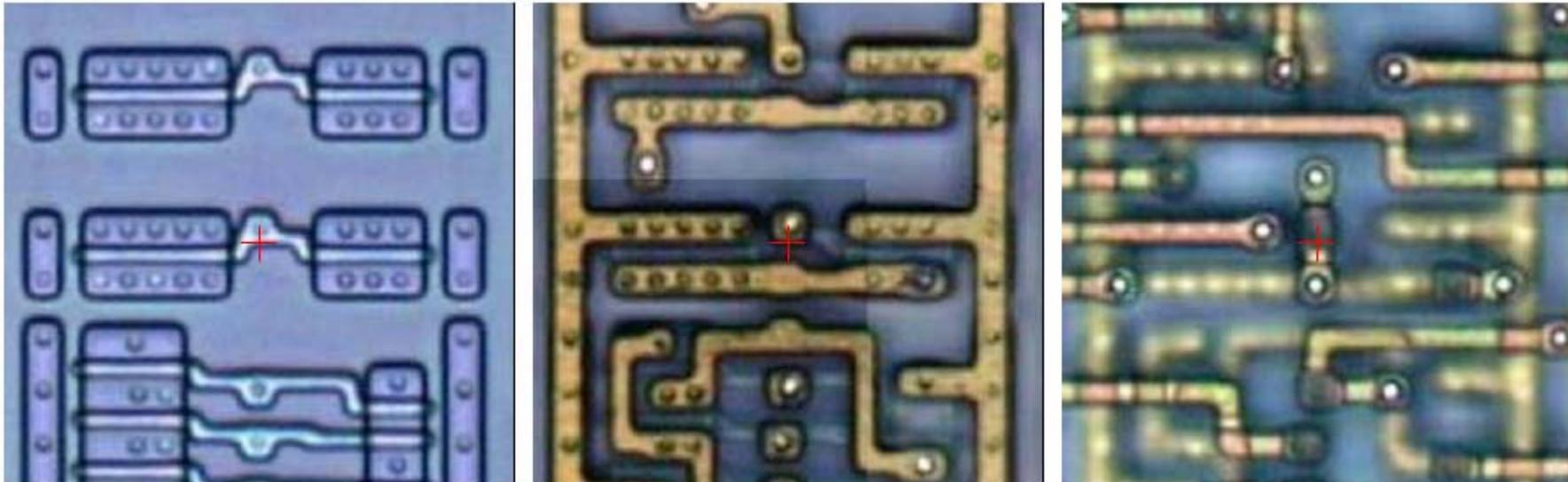
## 提图步骤

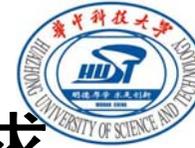
- 将各**PAD**标示在照片上
- 将所有的电源线(**VDD**,**VSS**等)依由外至内,由左至右,由上至下之顺序标示在照片上.
- 将所有的信号线依次以流水号码**L1,L2,...,Lxxx**,标示在照片上
- 分析电阻,依次以**R1,R2,..., Rxx**标示在照片上
- 分析电容,标示在照片上.
- 分析**MOS**管,在电路图上标明原器件**W/L**.并以**4**端的**Symbol**表示
- 分析**BJT**管,标示在照片上



- 若版图太复杂,则将照片区分若干**BLOCK,BLOCK**暂时命名为**Blocka, blockb..... blockx**.电路提取依由外至内,由左至右,由上至下之顺序提取,并将提取的电路画在纸上.

# 一个反向器的例子





## 电路图输入(Schematic Entry)要求

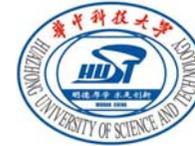
要求根据电路整理分析后的层次化模块关系,进行线路图输入,作为仿真的基础!

**A:** 电路图输入应分层次:单元级,Block级和Top Level级.

**B:** Block级尽量做到按功能块划分.

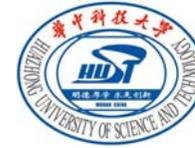
**C:** 电路图尽量做到规范,清晰,易读.

**D:** 设计人员完成电路图输入须填写“电路图完成清单”



# 电路输入步骤

- 将誊写在纸上的线路进行电路输入
- **Save and Check**
- 电路整理
- 重新进行电路图输入,将相关的**Device**放在同一(**BLOCK**), 功能块的名称须有意义化
- 每一个功能块的**I/O**信号线名称必须有意义
- 从照片上量得各电阻、电容的**W/L**以**square**方式输入电路图 (各电阻值未知).
- 每个功能块电路图的**Input**在左边,**Output**在右边.



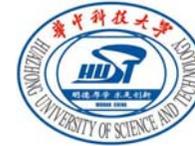
---

## 电路原理分析及演算 Function Analyze and Adjust

---

1. 将电路图打印一份,在打印出的电路图上作电路原理分析及演算
2. 将各功能块的重要电路如**OP/Comparator/ Current Mirror/Voltage Reference**整理出,作原理分析. 整理出输入端和输出端控制电路,作原理分析.
3. 检查电路连接是否有误.

以上步骤皆能通过原理分析,则代表功能块电路的完整性,若有一步骤无法分析,则须从照片上仔细看相关**Device**与连线.



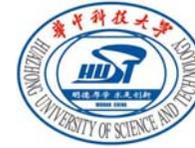
---

# 电路原理分析及演算

## (Function Analyze and Adjust)

---

4. 重新电路输入,将相关的Device放置到相对应的功能块中.  
以上步骤皆无误时,再作下面的演算
5. 先推算出各功能块的重要电路如OP/Comparator/Current Mirror/Voltage Reference之MOS管的 $g_m$ 值.
6. 再推算出各功能块的重要电路的电阻/电容值.
7. 将输入端电路中各Device之 $g_m$ /电阻值/电容值推算出.
8. 将输出端电路中各Device之 $g_m$ /电阻值/电容值推算出.

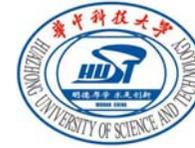


# 电路仿真(Circuits HSPICE)

- **HSPICE**仿真阶段计划及各阶段的要求
  - A.电路中的关键单元必须进行电路性能仿真.
  - B.电特性仿真调用的模型和参数需经确认.
  - C.电特性仿真结果需由项目组长最后确认,由完成此任务的设计人员在检查例会上作介绍.
  - D.电特性仿真完成后必须填写“电特性仿真完成清单”.

本阶段工作完成后应提交:

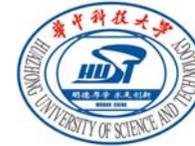
- 各模块直至**Whole Chip**的网表及仿真激励文件;
- **HSPICE**仿真报告。



# 电特性仿真步骤

- 详读**Electrical Design Rule**与**SPICE Model**,了解各电阻/电容型态之工艺参数,如**TC1,TC2**,单位面积之最大,典型,最小的电阻/电容值
- 仿真出**SPICE Model**中各种管子的**gm**值
- 将电路中各**Device Name**以实际**Spice Model**中名字取代.
- 将重整后之电路转换成**netlist**,供**HSPICE**仿真使用

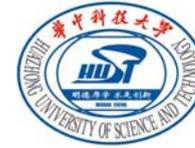
(Con.)



## 电特性仿真步骤(Con.)

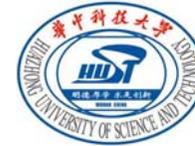
- 将Netlist中电阻/电容值以推算值取代
- 针对工艺参数/电压参数/温度参数作容差分析.
- 针对仿真结果进行优化,反复修改并联数及电阻/电容绝对值
- 再针对电阻/电容的工艺参数/电压参数/温度参数作容差分析.
- 针对仿真结果进行优化,反复修改电阻/电容值及电阻/电容型态,求得电阻/电容值的范围

若以上步骤皆无法达到最优,则其电路结构须作更改,再重复以上步骤.



## 功耗特性仿真步骤 \*

- 将**Whole Chip**电路图转出一版**Netlist file**,以便**PowrMill**功耗特性仿真使用.
- 更动工艺参数/电压参数/温度参数作功耗特性仿真.
- 检视仿真结果是否合乎**SPEC**之指标
- 若功耗指针超出**SPEC**,则检视各功能块功耗百分比
- 就功耗百分比最大之功能块进行优质化,降低其功耗.
- 若上述步骤无法降低**Whole Chip**功耗,则须针对各功能块再度进行优质化.
- 若无法有效降低**Whole Chip**功耗,则功耗百分比最大之功能块须作电路架构更改,如**Voltage Reference/OSC/Current Mirror**等耗电流大之电路架构.

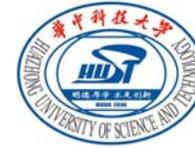


## 芯片系统仿真

- A.进行所要求仿真模块的HSPICE simulation;**
- B.最后进行HSPICE的Whole chip simulation**
- C.在系统整合过程中,模块应按功能与命令一块一块或分层次/分部分地累加,直到构成系统级,完成Whole Chip Simulation.**

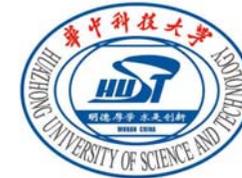
本阶段完成后应提交:

- (1)系统测试文件及结果.**
- (2)Whole Chip模拟报告.**
- (3)Design Note.**



# 芯片系统仿真步骤

- 将**Whole Chip**电路图转换成**Netlist file**,供**HSPICE**功能仿真使用.
- 改变工艺参数/电压参数/温度参数作功能特性容差仿真.
- 检查仿真结果是否合乎**SPEC**, 若功能超出,则检视其发生于那一些功能块, 就发生问题之功能块进行优化
- 若上述步骤无法使功能合乎**SPEC**,则须针对各功能块再度进行容差分析及优化
- 若无法有效使功能合乎规格书,则易因工艺参数/电压参数/温度参数之变动
- 产生功能指标漂移的功能块须作电路架构更改,如**Voltage Reference/OSC/Current Mirror**等因有电阻或须作电流放大之电路架构.



Thank You !

Q & A



RESEARCH CENTER FOR VLSI AND SYSTEMS  
超大规模集成电路与系统研究中心